

5. Japanese Patent Application No. Hei 3-256314

In order to maintain a readable code which has been written by means of overlapping patterns in association with progress of manufacturing operation, without exerting influence on the surface of a semiconductor wafer, recesses are formed in positions corresponding to binary codes "0" and "1" assigned to the semiconductor wafer, from among a plurality of positions provided at uniform intervals on the side wall of the semiconductor wafer in a circumferential direction.

Publication Date: November 15, 1991

Inventor: Kobayashi

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-256314

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月15日

H 01 L 21/02

A

2104-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体ウェハー

⑯ 特 願 平2-55424

⑰ 出 願 平2(1990)3月6日

⑱ 発 明 者 小 林 章 朗 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体ウェハー

2. 特許請求の範囲

1. 半導体ウェハーにおいて、

該半導体ウェハー製造の周方向の等間隔の複数の位置のうち、該半導体ウェハーに与えられた2進数コードの「1」または「0」に対応した位置に凹部が形成されていることを特徴とする半導体ウェハー。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置製造において基板として使用される半導体ウェハーに関する。

(従来の技術)

従来、この種の半導体ウェハーの製造履歴および特性の表示は、ロットNoおよび検査成績書として半導体ウェハーの梱包に添付する形で行なわれており、添付されたデータと個々の半導体ウェハーとの対応はレーザーマーカ等により半導体

ウェハー表面に特定の追し番号等を記入する場合と梱包時の順番によって行なう場合とがあった。

(発明が解決しようとする課題)

上述した従来の方法のうち、前者は半導体装置を形成する半導体ウェハー表面に印字するため、印字された場所およびその周辺に形成された半導体装置は不良になる他、半導体装置の製造工程の遂行により何回にもパターンが重ね合わさった場合その判別が困難になる欠点があり、後者は半導体ウェハーの梱包を解いた後、半導体製造工程に適合する形にパッチを貼り付けず際または半導体製造工程の各処理の時点で半導体ウェハーの取り違い等により順番が乱れ、添付された特性厚と対応がとれなくなる欠点があった。

本発明の目的は、半導体装置を形成する半導体ウェハー表面への影響を与えずに、かつ工程の遂行に伴うパターンの重ね合せにより書き込まれた符号の読み取りが困難になることがない半導体ウェハーを提供することである。

(問題を解決するための手段)

本発明の半導体ウエハは、該半導体ウエハ側壁の周方向の等間隔の複数の位置のうち、該半導体ウエハに与えられた2進数コードの「1」または「0」に対応した位置に凹部が形成されている。

(作用)

半導体ウエハ側壁に外周、識別のための表示を設けるので、半導体装置を形成する半導体ウエハ表面への影響を与えることなく、かつ工程の進行に伴うパターンの重ね合せにより書き込まれた符号の読み取りが困難になることもない。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の半導体ウエハの側面図、第2図はその断面図である。

この半導体ウエハはスライス工程、面取り工程、端面研磨工程終了後の側壁1の周方向の等間隔の位置A-A、B-B、C-C、D-D、E-E

ゴット単位になるがインゴット形成後より処理できる利点を有する。

(発明の効果)

以上説明したように本発明は、半導体ウエハ外周側壁に等間隔で配された複数の位置のうち当該半導体ウエハに与えられた2進数コードの「1」または「0」に対応した点に凹部を形成することにより、個々の半導体ウエハについて半導体装置を形成する半導体ウエハ表面への影響を与えることなく、かつ工程の進行に伴うパターンの重ね合せにより書き込まれた符号の読み取りが困難になることなく識別用の2進数コードを形成できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1実施例の半導体ウエハの側面図、第2図はその断面図、第3図は本発明の第2の実施例の半導体ウエハの側面図、第4図はその断面図である。

1……半導体ウエハ側壁、

2……レーザービームの照射による凹部、

E-EのうちA-A、B-B、D-DおよびE-Eの位置にYAGレーザービームが照射されて円状の凹部2が形成されている。

本実施例では、凹部2を「1」、凹部2の形成されていない平坦部を「0」として用いるものであり、AからFにかけて「110110」の2進数を示す。なお、凹部2を「0」、平坦部を「1」として用いても何ら支障は無い。

第3図は本発明の第2の実施例の半導体ウエハの側面図、第4図はその断面図である。

この半導体ウエハはスライス工程、面取り工程、端面研磨工程終了後の側壁1の周方向の等間隔の位置A-A、B-B、C-C、D-D、E-E、F-FのうちA-A、B-B、D-DおよびE-Eの位置にダイシングソーによる切り込みの凹部3が形成されている。

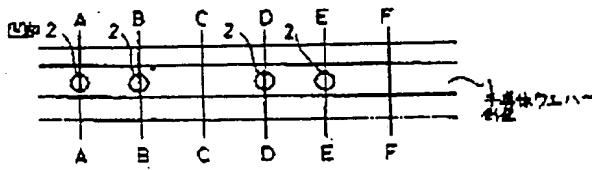
本実施例でも、第1の実施例と同様に凹部3を「1」、凹部3の形成されていない平坦部を「0」として用いるものである。

なお、本実施例においては結晶引上げ時のイン

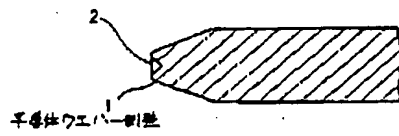
3……ダイシングソーによる切り込みによる凹部。

特許出願人 日本電気株式会社
代理人 弁護士 内原 昌

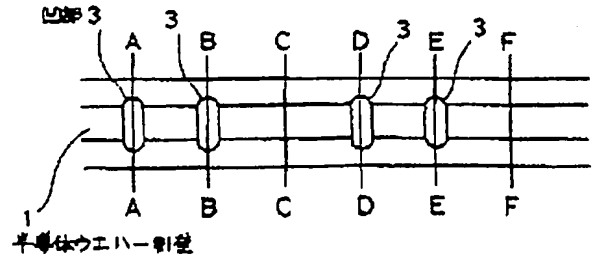
BEST AVAILABLE COPY



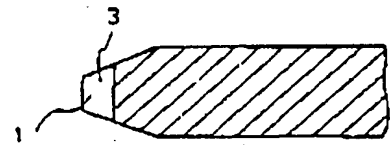
第 1 図



第 2 図



第 3 図



第 4 図

BEST AVAILABLE COPY